

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-232207

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

G06F 13/14
G06F 13/38
// G06F 13/36

(21)Application number : 10-027616

(71)Applicant : NEC ENG LTD

(22)Date of filing : 09.02.1998

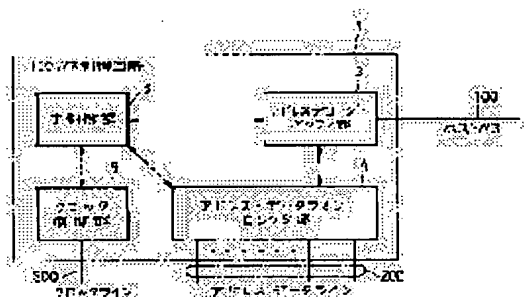
(72)Inventor : FUKUHARA HIDEKI

(54) IIC BUS CONTROL SYSTEM AND ITS CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an IIC bus control circuit capable of controlling 256 IIC devices or more by one control circuit by controlling plural IIC devices having the same address by one control circuit.

SOLUTION: An address decoder buffer part 3 is provided with a function for storing data inputted from a host bus when a write access is generated from the host side to the IIC bus control circuit 1, a function for decoding data, a function for storing data to be sent to an IIC bus and a function for storing the data of the IIC bus when an access is received from the IIC bus side. A address data line selector part 4 is provided with a function for selecting one of a plurality of address data lines, based on a decoded result, a function for controlling the sending of a signal to each address data line and a function for receiving a signal from each address data line.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-232207

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl. ⁶	識別記号	F I
G 0 6 F 13/14	3 2 0	G 0 6 F 13/14 3 2 0 B
13/38	3 5 0	13/38 3 5 0
// G 0 6 F 13/36	3 1 0	13/36 3 1 0 B

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21)出願番号 特願平10-27616

(22)出願日 平成10年(1998) 2月9日

(71)出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72)発明者 福原 秀樹

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

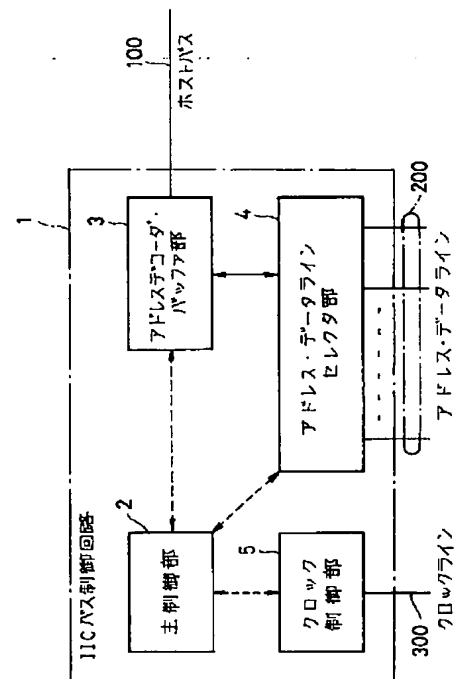
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 I I Cバス制御システム及びその制御回路

(57)【要約】

【課題】 一つの制御回路で同一アドレスの I I C デバイスを制御し、一つの制御回路で 2 5 6 個以上の I I C デバイスを制御可能な I I C バス制御回路を提供する。

【解決手段】 アドレスデコーダ・バッファ部 3 は I I C バス制御回路 1 にホスト側からライトアクセスが発生した時にホストバスからのデータを保持する機能と、データをデコードする機能と、I I C バスへ送出するデータを保持する機能と、I I C バス側からのアクセスに対して I I C バスのデータを保持する機能とを備えている。アドレス・データラインセクタ部 4 はデコード結果を基にアドレス・データラインの複数のアドレス・データラインの中から一つを選択する機能と、アドレス・データラインへの信号送出を制御する機能と、アドレス・データラインからの信号を受信する機能とを備えている。



【特許請求の範囲】

【請求項1】 複数のアドレス・データラインと、前記複数のアドレス・データライン各々に接続される複数のデバイスと、前記複数のデバイス各々に共通にクロックを供給するためのクロックラインと、上位装置から前記デバイスへのアクセス時にそのアクセスアドレスを前記複数のアドレス・データラインのうちのいずれか一つを特定する情報に変換する変換手段と、前記変換手段で変換された情報を基に前記複数のアドレス・データラインの中から当該デバイスが接続された前記アドレス・データラインを有効として前記上位装置からのデータを当該デバイスに送出する送出手段とを有することを特徴とするIICバス制御システム。

【請求項2】 前記送出手段は、前記複数のアドレス・データライン各々に対応して設けられかつ前記複数のアドレス・データライン各々の制御及び参照を行う複数のデータ制御回路と、前記変換手段で変換された情報に対応するアドレス・データラインを有効とするために当該アドレス・データラインに対応するデータ制御回路との接続を選択する選択手段とを含むことを特徴とする請求項1記載のIICバス制御システム。

【請求項3】 前記変換手段は、前記上位装置と前記複数のデバイス各々との間で送受信されるデータを保持するバッファと、前記バッファに前記アクセスアドレスが保持された時に当該アクセスアドレスをデコードして前記複数のアドレス・データラインのうちのいずれか一つを特定する情報に変換するデコーダとを含むことを特徴とする請求項1または請求項2記載のIICバス制御システム。

【請求項4】 上位装置から複数のアドレス・データライン各々に接続される複数のデバイスのいずれかへのアクセス時にそのアクセスアドレスを前記複数のアドレス・データラインのうちのいずれか一つを特定する情報に変換する変換手段と、前記変換手段で変換された情報を基に前記複数のアドレス・データラインの中から当該デバイスが接続された前記アドレス・データラインを有効として前記上位装置からのデータを当該デバイスに送出する送出手段とを有することを特徴とするIICバス制御回路。

【請求項5】 前記送出手段は、前記複数のアドレス・データライン各々に対応して設けられかつ前記複数のアドレス・データライン各々の制御及び参照を行う複数のデータ制御回路と、前記変換手段で変換された情報に対応するアドレス・データラインを有効とするために当該アドレス・データラインに対応するデータ制御回路との接続を選択する選択手段とを含むことを特徴とする請求項4記載のIICバス制御回路。

【請求項6】 前記変換手段は、前記上位装置と前記複数のデバイス各々との間で送受信されるデータを保持するバッファと、前記バッファに前記アクセスアドレスが

保持された時に当該アクセスアドレスをデコードして前記複数のアドレス・データラインのうちのいずれか一つを特定する情報に変換するデコーダとを含むことを特徴とする請求項4または請求項5記載のIICバス制御回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明はIICバス制御システム及びその制御回路に関し、特にコンピュータ装置やオーディオ装置、及びその他の電子装置のIIC(Integrated Circuit)バス(シリアルバス)制御回路に関する。

【0002】

【従来の技術】従来、この種のIICバス制御回路においては、コンピュータ装置やオーディオ装置でIICバス(IICフォーマットに準拠したバス)インタフェースを備えたIICデバイスを制御するためのマスタ回路として用いられている。

【0003】IICバスはアドレス・データラインとクロックラインとの2ラインからなるシリアルバスである。従来のIICバス制御回路はマイクロプロセッサのデータをIICバスのアドレス・データラインに直接送出するものがほとんどである。

【0004】IICバスに接続されるIICデバイスは固有アドレスを持っており、マイクロプロセッサがIICバス制御回路を介してIICバス上のIICデバイスにアクセスする場合には、IICバスのアドレス・データラインにそのアドレスを送出する必要がある。

【0005】図6は従来のIICバス制御回路の一例を示す図である。図において、アドレス・データライン500及びクロックライン600の一对がIICバスである。IICバス制御部6はホストバス400側からのデータとIICデバイス7k(k=1, 2, 3, 4, ...)からのデータを保持しておくバッファ62と、このIICバス制御部6全体を制御する主制御部61と、データをアドレス・データライン500に送出しかつ各IICデバイス7kからデータを受信するためのデータ制御部64と、データ送出の際のクロック制御及びデータ受信時のクロック参照を行うクロック制御部63とから構成されている。IICバス上には固有アドレスが異なるIICデバイス7kが接続されているものとする。

【0006】次に、IICバス制御回路6からデバイス71へのライト動作について説明する。まず、マイクロプロセッサ等(図示せず)のホストバス400側からのアドレスデータをバッファ62に保持し、主制御部61でデータ制御部64とクロック制御部63とを制御しながらバス上にアドレスを送出する。

【0007】IICデバイス71はバス上に送出されたアドレスデータが自身の固有アドレスと一致し、デバイス(図示せず)が応答可能であれば、応答信号をバス上

に送出する。

【0008】すると、続けてIICバス制御部6はホストバス400からのデータをIICバス上に送出し、IICデバイス71がそのデータを取得する。データ取得に成功すると、IICデバイス71は応答信号をIICバス上に送出する。この動作は転送するデータが無くなるまで繰り返される。

【0009】続いて、IICデバイス71からIICバス制御回路6へのデータ転送について説明する。IICデバイス71がスタートコンディションをIICバス上に送出すると、IICバス制御回路6は受信制御へ移行し、データ制御部64及びクロック制御部63で確定するデータをバッファ62に格納する。

【0010】アドレスフェーズでのデータがIICバス制御回路6のアドレスと一致した場合、それ以降IICバス上に送出される全てのデータはバッファ62に格納され、格納に成功すると応答信号がIICバス上に送出される。IICバス制御回路6はバッファ62のデータが8bit確定する度に、ホスト側に通知する。

【0011】

【発明が解決しようとする課題】上述した従来のIICバス制御回路では、IICデバイスがデバイス毎に一意のアドレスが割り当てられており、同一アドレスのデバイスを一つのIICバス上に接続した場合、同一アドレスを持つデバイスの中の一つを制御しようとしても、そのアドレスを持つ全てのデバイスが応答してしまうことになり、個々のデバイスを個別に制御することができない。

【0012】また、同一アドレスを持つデバイスを同時に制御しようとしても、応答信号がどのデバイスから送出されたかが分からないため、IICバス制御回路側からは同じアドレスのデバイスを同時に制御することができているかどうかを判断することが不可能である。

【0013】したがって、従来の技術においてはIICバス上に同一のアドレスを持つIICデバイスを接続する場合、従来のIICバス制御回路を複数用意する必要があり、複数系統のバスを構成しなければならず、装置規模が大きくなってしまう。

【0014】さらに、IICフォーマットに準拠したデバイスの固有アドレスが8bitであるため、IICデバイスのアドレスが全て異なっている、IICバス制御回路を除き（IICバス制御回路がスレーブ回路に成り得る場合には、IICバス制御回路が固有アドレスを持つ必要があることから）1つのバス上には255個までしか接続することができない。

【0015】すなわち、256個のIICデバイスを接続してしまうと、固有アドレスが8bitであることから、少なくとも1対のデバイスは同じ固有アドレスとなり、この1対のデバイスに関して個々に制御を行うことができなくなる。よって、従来の技術においてはIIC

デバイスを256個以上制御することができない。

【0016】そこで、本発明の目的は上記の問題点を解消し、一つの制御回路で同一アドレスのIICデバイスを制御することができるとともに、一つの制御回路で256個以上のIICデバイスを制御することができるIICバス制御システム及びその制御回路を提供することにある。

【0017】

【課題を解決するための手段】本発明によるIICバス制御システムは、複数のアドレス・データラインと、前記複数のアドレス・データライン各々に接続される複数のデバイスと、前記複数のデバイス各々に共通にクロックを供給するためのクロックラインと、上位装置から前記デバイスへのアクセス時にそのアクセスアドレスを前記複数のアドレス・データラインのうちのいずれか一つを特定する情報に変換する変換手段と、前記変換手段で変換された情報を基に前記複数のアドレス・データラインの中から当該デバイスが接続された前記アドレス・データラインを有効として前記上位装置からのデータを当該デバイスに送出する送出手段とを備えている。

【0018】本発明によるIICバス制御回路は、上位装置から複数のアドレス・データライン各々に接続される複数のデバイスのいずれかへのアクセス時にそのアクセスアドレスを前記複数のアドレス・データラインのうちのいずれか一つを特定する情報に変換する変換手段と、前記変換手段で変換された情報を基に前記複数のアドレス・データラインの中から当該デバイスが接続された前記アドレス・データラインを有効として前記上位装置からのデータを当該デバイスに送出する送出手段とを備えている。

【0019】すなわち、本発明のIICバス制御回路は、同一システム内に同じ固有アドレスを持つIICデバイスが存在しても、個々のIICデバイスを個別に制御している。

【0020】より具体的には、マイクロプロセッサ等のホストバス側からのアドレスデータをデコードしてIICデバイスの固有アドレスに変換する変換手段と、アドレスデコードによって複数のアドレス・データラインのうち1本だけを選択し、そのラインにのみ有効なデータを送出する送出手段とを備えている。複数のアドレス・データラインのうち有効なデータが送出されるアドレス・データラインは1本である。

【0021】このため、同じ固有アドレスを持つデバイスが異なるアドレス・データラインに接続されていれば、同じ固有アドレスを持つデバイス各々を個別に制御することができる。また、アドレス・データラインが複数あるため、アドレス・データライン数×255個のデバイスを一つのIICバス制御回路で制御することができる。

【0022】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例によるIICバス制御回路の構成を示すブロック図である。図において、IICバス制御回路1は主制御部2と、アドレスデコーダ・バッファ部3と、アドレス・データラインセクタ部4と、クロック制御部5との4つの主要な部分からなる。尚、IICバスは複数のアドレス・データラインからなるアドレス・データライン200とクロックライン300とから構成されており、複数のアドレス・データライン上には夫々図示せぬIICデバイスが接続されている。

【0023】アドレスデコーダ・バッファ部3はIICバス制御回路1に図示せぬホスト側からライトアクセスが発生した時にホストバス100からのデータを保持する機能と、データをデコードする機能と、IICバスへ送出するデータを保持する機能と、IICバス側からのアクセスに対してIICバスのデータを保持する機能とを備えている。

【0024】アドレス・データラインセクタ部4はアドレス・データライン200の複数のアドレス・データラインの中から一つを選択する機能と、アドレス・データライン200への信号送出を制御する機能と、アドレス・データライン200からの信号を受信する機能とを備えている。

【0025】クロック制御部5はクロックライン300へのクロック送出を制御する機能と、クロックを受信する機能とを備えている。主制御部2はIICバス制御回路1全体の状態を管理する機能、特にIICバスからデータを受信した場合にアドレスデコーダ・バッファ部3を受信制御へ移行させる機能と、受信したデータが8bit確定した時点でホストバス側にデータが確定したことを通知する機能と、IICバスにデータを送出する際にアドレス・データラインセクタ部4とクロック制御部5との同期をとる機能とを備えている。

【0026】図2は本発明の一実施例の動作を示すフローチャートである。これら図1及び図2を参照して本発明の一実施例の動作について説明する。

【0027】ホスト側からのライトアクセス時（図2ステップS1、S2）、アドレスデコーダ・バッファ部3はホストバス100からデータを取込む（図2ステップS3）。主制御部2はアドレスデコーダ・バッファ部3に取込んだデータがIICデバイス（図示せず）のアドレスであるか、データであるかを判断する（図2ステップS4）。

【0028】主制御部2はアドレスデコーダ・バッファ部3に取込んだデータがアドレスであれば、すなわちホスト側から送られてきたアドレス・データラインを特定する情報及びIICデバイス各々を特定する固有アドレスであれば、アドレスデコーダ・バッファ部3でデータ（アドレス・データラインを特定する情報）をデコード

して複数のアドレス・データラインのうちのいずれか一つを特定する情報に変換する（図2ステップS5）。

【0029】アドレス・データラインセクタ部4はアドレスデコーダ・バッファ部3でのデコード結果（つまり、アドレス・データラインを特定するアドレス）を基にアドレス・データライン200の中から適切なアドレス・データラインを選択し、主制御部2はクロック制御部5とアドレス・データラインセクタ部4とを制御しながら（図2ステップS6）、選択したアドレス・データラインにのみ有効なデータを送出する（図2ステップS7）。

【0030】IICデバイス側からIICバス制御回路10にアクセスが発生した場合、すなわちホスト側からのライトアクセス以外の時（図2ステップS1、S2）、主制御部2はクロック制御回路5とアドレス・データラインセクタ部4とをデータ受信制御に移行させる（図2ステップS8）。

【0031】クロック制御回路5とアドレス・データラインセクタ部4とから確定したデータをアドレスデコーダ・バッファ部3に保持し、8bit確定した時点で、データが確定したことをホスト側に通知するとともに、IICバスに応答信号を送出する（図2ステップS9、S10）。

【0032】図3は本発明の一実施例によるIICバス制御システムの詳細な構成を示すブロック図である。図において、本発明の一実施例によるIICバス制御システムはIICバス制御回路1と、アドレス・データバス201～203とクロックライン300とからなるIICバスと、アドレス・データバス201～203各々に接続されかつアドレス・データバス201～203を介してIICバス制御回路1に接続されるIICデバイス11～15とから構成されている。この図3を参照してIICバス制御回路1について詳細に説明する。

【0033】尚、本発明の一実施例においてはアドレス・データライン200が3本のアドレス・データライン201～203からなるものとして説明する。このため、3本のアドレス・データライン201～203のうちの一つを特定する情報は2bitあればよく、その情報をデコードするアドレスデコーダ33が2bitの情報をデコードする構成としている。

【0034】アドレスデコーダ・バッファ部3は10bitのバッファ31と、8bitのシフトレジスタ32と、2ビットのアドレスデコーダ33とからなり、上位2bitがアドレスデコーダ33へ、下位8bitがシフトレジスタ32へ夫々接続されている。

【0035】主制御部2にはIICバス制御回路1自身のアドレス設定が可能なアドレスレジスタ21と、IICバス制御回路1の状態を参照及び変更することができるステータスレジスタ22とが設けられている。

【0036】アドレス・データラインセクタ部4内部

にはアドレス・データライン201～203の制御及び参照を行うデータ制御回路41～43と、有効ラインを決定するスイッチ44とが設けられている。データ制御回路41にはアドレス・データライン201が、データ制御回路42にはアドレス・データライン202が、データ制御回路43にはアドレス・データライン203が夫々接続されている。

【0037】スイッチ44によって3つのデータ制御回路41～43のうちの一つだけが、シフトレジスタ32に接続され、データ送受信が可能となる。クロック制御部5には一本のクロックライン300が接続され、そのクロックライン300が全てのIICデバイス11～15につながっている。

【0038】図4は本発明の一実施例によるIICバス側への動作を示すフローチャートである。これら図3及び図4を参照してホスト側からIICバス側への動作について説明する。

【0039】ホスト側からIICデバイス11に対してライトアクセスが発生したとすると、スレーブ動作が実行されずかつライト動作中ではない場合に（図4ステップS11、S12）、主制御部2はクロック制御部5とアドレス・データラインセクタ部4内部のデータ制御回路41～43とを制御し、スタートコンディションを全てのIICバス上に送出する（図4ステップS13）。

【0040】アドレスデコーダ・バッファ部3はバッファ31でホスト側からのデータを保持する。主制御部2ではIICバス制御回路1全体がライト動作中でない場合に、このデータをIICデバイス11のアドレスであると判断し、データの上位2bitをアドレスデコーダ33でデコードし、スイッチ44を切替える（図4ステップS14、S15）。

【0041】この場合、データの低位8bitはシフトレジスタ32にそのまま送られる。ライト動作中である場合には（図4ステップS12）、データの低位8bitをシフトレジスタ32に送り、上位2bitは無視する（図4ステップS16）。

【0042】次に、主制御部2はクロック制御部5とデータ制御回路41との同期をとり、シフトレジスタ32のデータをアドレス・データライン201に送出し（図4ステップS17）、IICデバイス11からの応答信号を待つ（図4ステップS18）。

【0043】応答信号がある一定時間内にあった場合には（図4ステップS19）、主制御部2はライト動作中であることをステータスレジスタ22に記憶し（図4ステップS20）、応答があったことをホスト側へ通知する（図4ステップS21）。

【0044】応答信号がある一定時間内に無かった場合には（図4ステップS19）、リトライを行う。このリトライでも応答が無い場合には（図4ステップS19、

S23）、ホスト側にタイムアウトしたことを通知する（図4ステップS24）。

【0045】データをライトする必要がなくなった場合は（図4ステップS24）、ホスト側から主制御部2のステータスレジスタ22のライト動作中状態がリセットされ（図4ステップS25）、全てのIICバス上にエンドコンディションが送出される（図4ステップS26）。これによって、スイッチ44はデータ制御回路41の選択を解除する。

10 【0046】図5は本発明の一実施例によるホスト側への動作を示すフローチャートである。これら図3及び図5を参照してIICバス側からホスト側への動作について説明する。

【0047】IICバス上のIICデバイス11がスタートコンディションを送出したとする。アドレス・データラインセクタ部4はデータ制御回路41がスタートコンディションを検出すると（図5ステップS31）、ホスト側からのライトアクセスを禁止し（図5ステップS32）、スイッチ44を切替え（図5ステップS33）、データ制御回路42、43からアドレス・データライン202、203へスタートコンディションを送出し（図5ステップS34）、受信状態に移行する（図5ステップS35）。

【0048】アドレスフェーズのアドレスがアドレスレジスタ21の値と同じ場合は（図5ステップS36）、IICバス上にエンドコンディションが送出されるまで（図5ステップS40）、データ受信を継続し、ホスト側からのライトアクセスの禁止を継続する。

30 【0049】IICデバイス11から受信したデータはシフトレジスタ32に保持され、8bit確定する度にバッファ31の低位8bitにセットされる（図5ステップS37）。同時に、主制御部2はIICデバイス11に応答信号を送出し（図5ステップS38）、ホスト側にデータを受信したことを通知する（図5ステップS39）。

【0050】アドレスフェーズのアドレスがアドレスレジスタ21の値と異なる場合は（図5ステップS36）、その時点でスイッチ44を解除し（図5ステップS43）、IICデバイス11からのエンドコンディションを待つ。

40 【0051】IICデバイス11からのエンドコンディションが検出されると（図5ステップS44）、主制御部2はデータ制御回路42、43からアドレス・データライン202、203へエンドコンディションを送出し（図5ステップS45）、ライトアクセス禁止を解除する（図5ステップS46）。

【0052】しかしながら、エンドコンディションがIICバス上に送出されるまでは、アドレス・データラインセクタ部4及びクロック制御部5がライト制御（ホスト側からIICバス側へのライトアクセス時の制御）

に移行することはできない。

【0053】このように、アドレスデコーダ・バッファ部3でマイクロプロセッサ等のホストバス側からのアドレスデータをデコードしてIICデバイス11～15の固有アドレスに変換し、このデコード結果に応じて複数のアドレス・データライン201～203のうち1本だけをアドレス・データラインセクタ部4で選択し、そのラインにのみ有効なデータを送出することによって、同じ固有アドレスを持つIICデバイスが異なるアドレス・データラインに接続されていれば、同じ固有アドレスを持つIICデバイス各々を個別に制御することができる。

【0054】また、アドレス・データライン201～203が複数あるため、アドレス・データライン数×255個のIICデバイスを一つのIICバス制御回路で制御することができる。

【0055】

【発明の効果】以上説明したように本発明によれば、複数のアドレス・データラインと、複数のアドレス・データライン各々に接続される複数のデバイスと、複数のデバイス各々に共通にクロックを供給するためのクロックラインとを備えるシステムにおいて、上位装置からデバイスへのアクセス時にそのアクセスアドレスを複数のアドレス・データライン農地の一つを特定する情報に変換し、その変換された情報を基に複数のアドレス・データラインの中から当該デバイスが接続されたアドレス・データラインを有効として上位装置からのデータを当該デバイスに送出することによって、一つの制御回路で同一アドレスのIICデバイスを制御することができるとともに、一つの制御回路で256個以上のIICデバイスを制御することができるという効果がある。

*

* 【図面の簡単な説明】

【図1】本発明の一実施例によるIICバス制御回路の構成を示すブロック図である。

【図2】本発明の一実施例の動作を示すフローチャートである。

【図3】本発明の一実施例によるIICバス制御回路の詳細な構成を示すブロック図である。

【図4】本発明の一実施例によるIICバス側への動作を示すフローチャートである。

10 【図5】本発明の一実施例によるホスト側への動作を示すフローチャートである。

【図6】従来例によるIICバス制御回路の構成を示すブロック図である。

【符号の説明】

1 IICバス制御回路

2 主制御部

3 アドレスデコーダ・バッファ部

4 アドレス・データラインセクタ部

5 クロック制御部

20 11～15 IICデバイス

21 アドレスレジスタ

22 ステータスレジスタ

31 バッファ

32 シフトレジスタ

33 アドレスデコーダ

41～43 データ制御回路

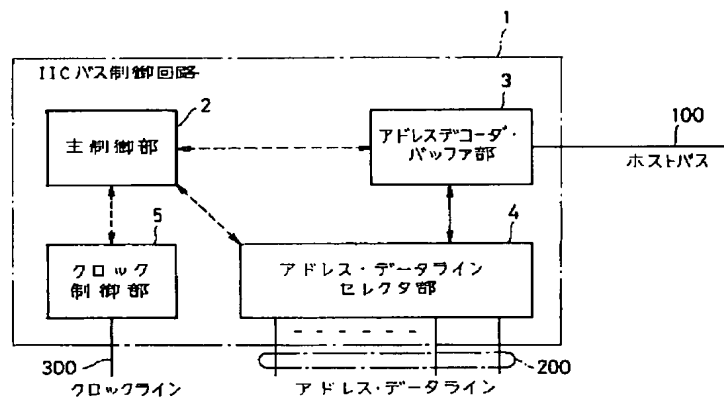
44 スイッチ

100 ホストバス

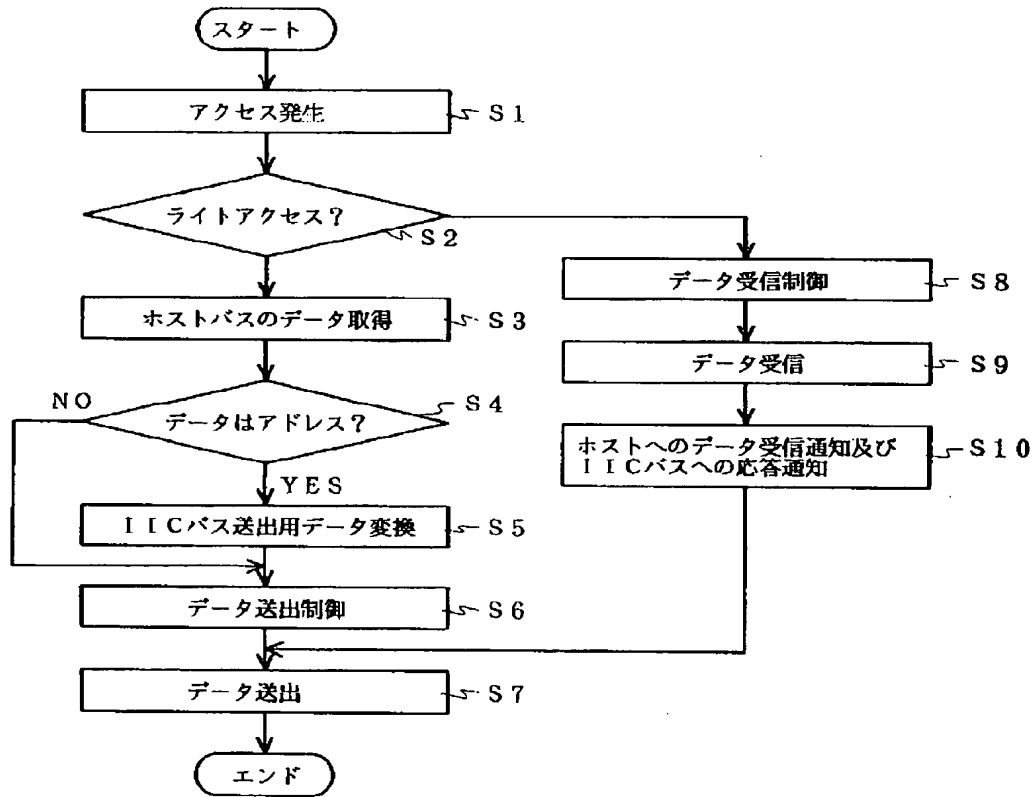
200, 201～203 アドレス・データライン

30 300 クロックライン

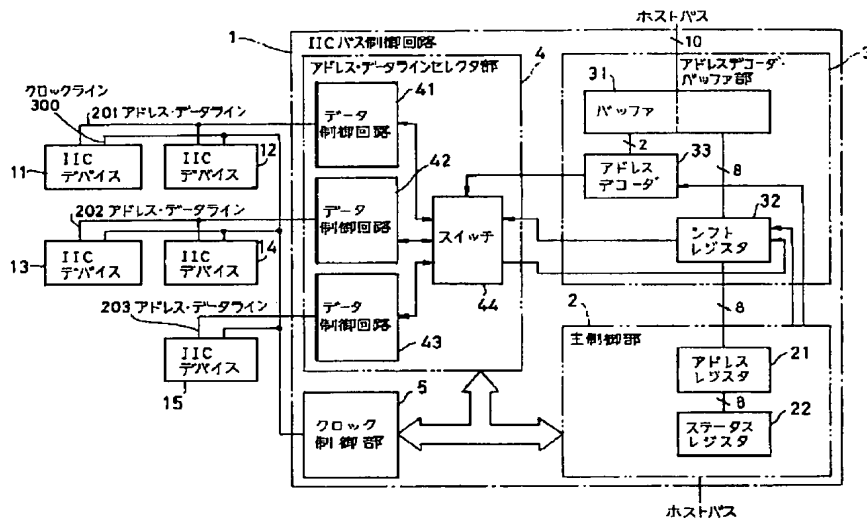
【図1】



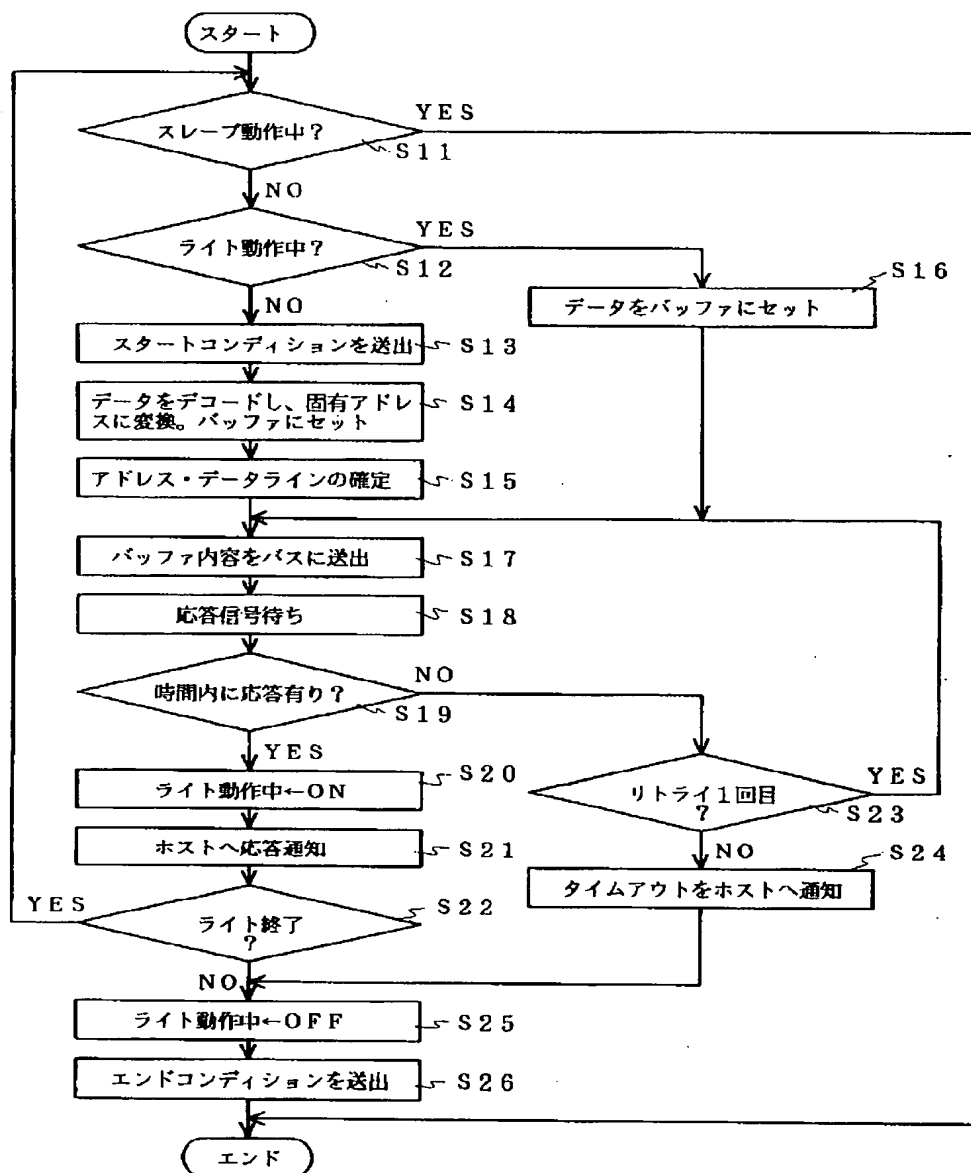
【図2】



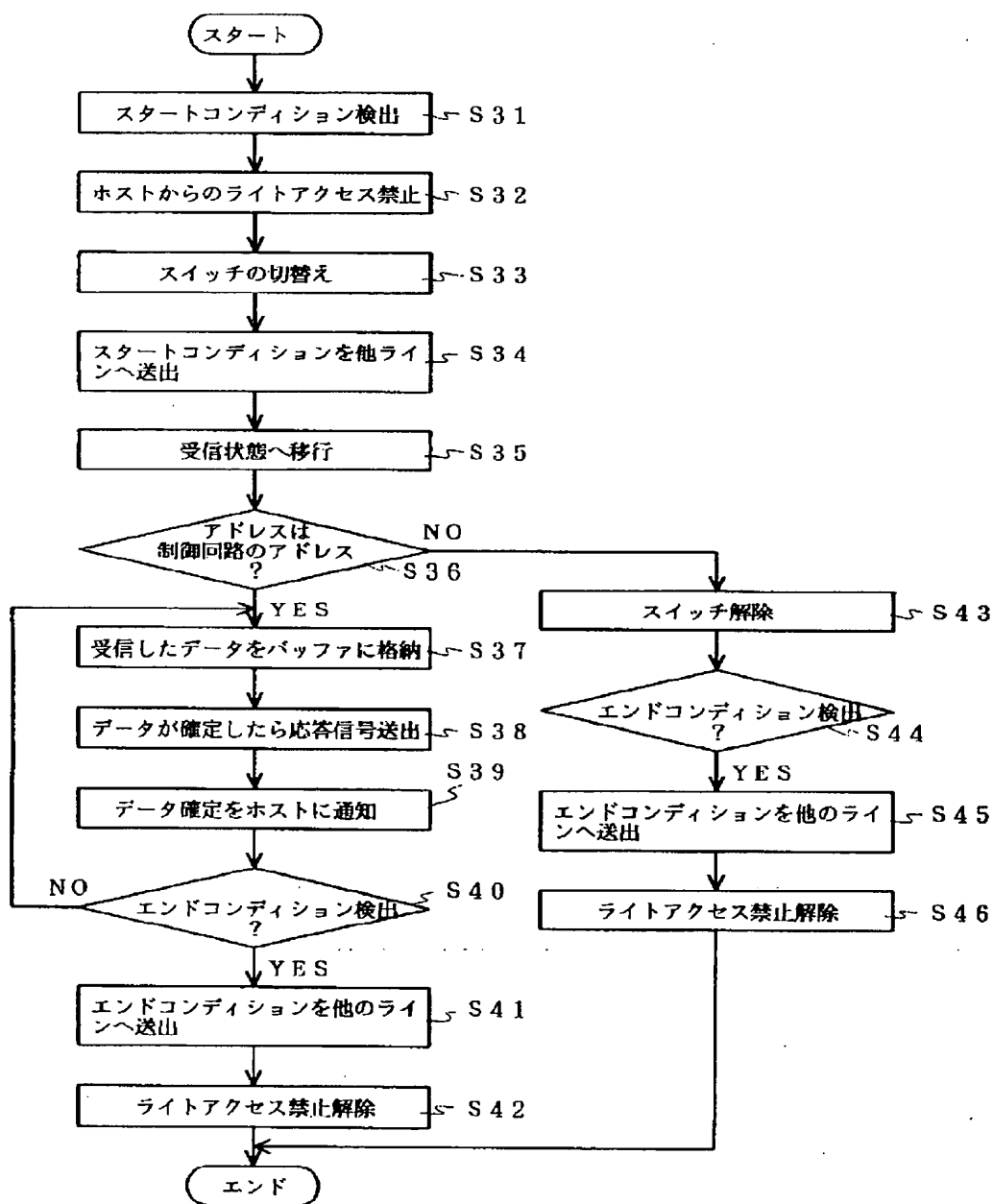
【図3】



【図4】



【図5】



【図6】

